

(10) 日本特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-46352

(P2003-46352A)

(45) 公開日 平成15年2月14日 (2003.2.14)

(51) Int. Cl.
H03G 5/10

特許番号

F I
H03G 5/10

特許番号 (参考)
B 57100

発明の名称 本請求 請求項の数 6 O L (全 6 項)

(21) 出願番号 特開2001-23047(P2001-23047)

(22) 出願日 平成13年7月31日 (2001.7.31)

(71) 出願人 000002185

ソニー株式会社
東京都品川区北品川6丁目7番35号

(72) 発明者 川田 京

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(73) 代理人 100002109

弁護士 志賀 富士孝 (外2名)

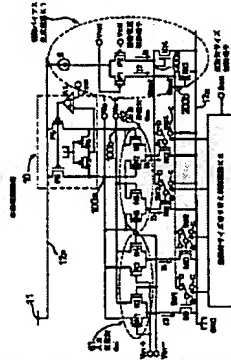
Fターム(参考) B100 A63 A18 B405 B202 B315
B821 B202 C022 C411 C421
D405 E022

(54) 発明の名称 可変利得増幅器

(57) 【要約】

【課題】 可変利得範囲を著しく広げることができる可変利得増幅器を提供する。

【解決手段】 一対のFETから成る差動対FETを複数個 (N1~N4) 有し、入力電圧 (V_{in}) を電圧に変換するV/I変換器として動作する入力差動回路61と、一対のFETから成る差動対FETを複数個 (N5~N8) 有し、前記変換された電圧を出力電圧 (V_o) に変換するI/V変換器として動作する出力差動回路62と、前記各差動対FETに流れる電流をバイアス電圧B1=1, B1=2によって制御する制御バイアス生成回路K1と、前記出力差動対に、電流源FET N9~N12を介して電流を流すか、流さないかを選択する選択スイッチSW1~SW4と、該スイッチを切り替えて入力差動対サイズと出力差動対サイズを制御する差動対サイズ切り替え制御回路K2とを設ける。



【特許請求の範囲】

【請求項1】 一対の電界効果トランジスタから成る差動電界効果トランジスタを複数個有し、入力電圧を電圧に変換する電圧／電圧変換部と、一対の電界効果トランジスタから成る差動電界効果トランジスタを複数個有し、前記変換された電圧を出力電圧に変換する電圧／電圧変換部と、前記各差動電界効果トランジスタに流れる電流を制御する電流制御手段と、

前記電圧／電圧変換部における、前記差動電界効果トランジスタのチャネル長とチャネル幅の比で決まる差動電界効果トランジスタサイズと、前記電圧／電圧変換部における、前記差動電界効果トランジスタのチャネル長とチャネル幅の比で決まる差動電界効果トランジスタサイズとを制御する差動対サイズ制御手段とを備えたことを特徴とする可変利得増幅器。

【請求項2】 前記差動対サイズ制御手段は、前記差動電界効果トランジスタに流れる電流の通過、非通過を各切り替える制御回路を有していることを特徴とする請求項1に記載の可変利得増幅器。

【請求項3】 前記電流制御手段は、前記各差動電界効果トランジスタの電流通過路に各々介挿された制御素子と、前記各制御素子に制御電圧を供給する制御バイアス生成回路とを有していることを特徴とする請求項1に記載の可変利得増幅器。

$$\text{Gain} = \text{Vout} / \text{Vin} = \text{Gin} / \text{Gout} \quad (1)$$

となる。

【0005】ここでGinとGoutを互いに可変制御すれば、利得が可変でき、可変利得増幅器の機能が実現できる。

【0006】従来の可変利得増幅器として、例えば入力電圧を電圧に変換する差動FET（電界効果トランジスタ）と、その電流を出力電圧に変換する差動FETとを有し、それら差動FETに流れる電流のみを制御することによって利得を可変する増幅器が以下の文献で紹介されている。

【0007】文献 Po-Chin Huang, Li-Yu Chio, Chong-Kuang Wang, "A 3.3-V CMOS WIDEBAND EXPONENTIAL CONTROL VARIABLE-GAIN AMPLIFIER" circuits and Systems, 1998. ISCAS '98. Proceedings of the 1998 IEEE International Symposium on Volume: 1, 1998, Page (a): 285-288 vol. 1.

【0008】この文献で紹介されている可変利得増幅器の回路図を図3に示す。図3において、定電流源回路1と50

【請求項4】 前記電流制御手段は、前記各差動電界効果トランジスタの電流通過路に各々介挿された制御素子と、

前記各制御素子に制御電圧を供給する制御バイアス生成回路とを有していることを特徴とする請求項2に記載の可変利得増幅器。

【請求項5】 前記制御回路は、前記制御素子のオン、オフを制御することを特徴とする請求項4に記載の可変利得増幅器。

【発明の利便性説明】

【0001】

【発明の属する技術分野】本発明は、可変利得増幅器を広くした可変利得増幅器に関する。

【0002】

【従来の技術】可変利得増幅器は、基本原理を示す図2のように、電圧を電圧に変換するコンダクタンスをG1nとするV/I変換器1と、電流を電圧に変換するコンダクタンスGoutとするI/V変換器2とから構成される。

【0003】可変利得増幅器の入力電圧VinはV/I変換器1によりI=G1n・Vinの電流に変換され、該電流はI/V変換器2によりVout=I/Goutの出力電圧Voutに変換される。

【0004】したがって可変利得増幅器の利得Vout/Vinは、

30 30のFETP5、FETP6の各一端は、電源電圧VDDに接続され、電流源回路12に接続され、各他端は共通接地点50a、50b、差動対を成すFETN31、N32およびFETN35を介して接地線12aに接続されている。

【0009】前記差動対を成すFETN31、N32の各ゲートには互いに逆相の異なる入力電圧Vinが印加される。

【0010】前記共通接地点50a、50bと接地線12aの間には、ダイオード接続であり且つ差動対を成すFETN33、N34とFETN36が直列に接続されており、該共通接地点50a、50bには互いに逆相の異なる出力電圧(Vo)が出力される。

【0011】前記定電流源回路10では、共通接地点50a、50b間に直列接続されたFETP3、P4の中間点電圧と基準電圧Vcmとの偏差に基づいてアンペア1がFETP3、P6を制御し、該FETP3、P6の電流が一定となるようにしている。

【0012】電源線12aには電流源Sの一端が接続され、電流源Sの他端は一対のFETP1、P2の各ソースに接続されている。FETP1、P2の各ドレインはダイオード接続のFETN13、N14を介して接地線12aに接続されている。

(3) 特開2003-46352

3

【0013】前記FETP1のゲートには基準電圧 V_{ref} が、FETP2のゲートには制御電圧 V_{ct1} が各々供給され、FETP1、P2には、各電圧 V_{ref} と V_{ct1} の差に応じた電流が流れる。この電流はFETN13、N14によって各々バイアス電圧に変換され、このバイアス電圧によって前記FETN35、N36が制御され、これによって差動対FETN31、N32、N33、N34に流れる電流を可変している。

【0014】図4は図3の回路の動作原理を説明するために模式化したものである。すなわち前記差動対FETN31、N32でV/I変換器D1が構成され、差動対FETN33、N34でI/V変換器D2が構成され、

$$G_m = (2\mu C_{ox}(W/L)) \{I_a/2\}^{1/2} = (\mu C_{ox}(W/L)) I_a^{1/2} \quad (2)$$

ただし μ はFETのキャリア移動度、 C_{ox} はFETの単位面積当たりゲート酸化膜容量、 W/L はFETのチャネル幅/FETのチャネル長（以後、サイズと略す）、 I_a は差動対FETを流れる電流（2つのFET電流の和）である。

【0018】ここで、V/I変換器D1及びI/V変換器D2の差動対FETサイズ $(W/L)_1$ 、 $(W/L)_2$ は

$$Gain = G_{m1}/G_{m2} = (\mu C_{ox}(W/L)_1 / I_1) / (\mu C_{ox}(W/L)_2 / I_2) = (M/N) \cdot \{(I_{bias} + I_{ct1}) / (I_{bias} - I_{ct1})\}^{1/2} \quad (3)$$

前記 I_{bias} は差動対FETの単位サイズ当たりバイアス電流であり、 I_{ct1} は利得を制御するための差動対FETの単位サイズ当たり制御電流である。前記 I_{ct1} を、 I_{bias} からV/I変換器D1（入力差動対）、I/V変換器D2（出力差動対）にそれぞれ逆方向に加えることによって、式（3）から利得を可変できることがわかる。

【0020】この時、利得のオフセットはV/I変換器D1（入力差動対）及びI/V変換器D2（出力差動対）のサイズ比 (M/N) である。この可変利得増幅器の可変できる利得範囲は、制御電流 I_{ct1} がバイアス電流 I_{bias} に対してどれだけ減算あるいは増算できるかによって決まる。

【0021】

【発明が解決しようとする課題】上述の可変利得増幅器では、制御電流 I_{ct1} はバイアス電流 I_{bias} に対して実数上±70%しか可変することができず、事実上、この可変利得増幅器の可変できる利得範囲は1.5dB程度と、非常に狭くなってしまふ。

【0022】本発明は上記の点に鑑みてなされたものでその目的は、可変利得範囲を著しく広げることができ、可変利得増幅器を提供することにある。

【0023】

【課題を解決するための手段】上記課題を解決するための本発明の可変利得増幅器は、一対の電界効果トランジスタから成る差動対電界効果トランジスタを複数備有

4

* 前記電流源回路10で定電流源S3、S4が構成され、前記FETN35、N36で可変の電流源S1、S2が構成されている。

【0015】前記V/I変換器D1は差動入力となり、I/V変換器D2は差動出力となっている。電流源S1、S2を制御し、差動対FETに流れる電流を可変させ、差動対FETのコンダクタンス G_{m1} 、 G_{m2} を制御することによって可変利得増幅器を実現している。

【0016】差動対FETコンダクタンス G_m の一般式は次の式（2）で表される。

【0017】

G_m をそれぞれ M 、 N とし、V/I変換器D1およびI/V変換器D2の差動対FETに流れる電流 I_1 、 I_2 をそれぞれ $(I_{bias} + I_{ct1})$ 、 $N(I_{bias} - I_{ct1})$ とすると、この回路の利得は次の式（3）で表せる。

【0019】

* し、入力電圧を電流に変換する電圧/電流変換器と、一対の電界効果トランジスタから成る差動対電界効果トランジスタを複数備有し、前記変換された電流を出力電圧に変換する電流/電圧変換器と、前記各差動対電界効果トランジスタに流れる電流を制御する電流制御手段と、前記電圧/電流変換器における、前記差動対電界効果トランジスタのチャネル幅とチャネル長の比で決まる差動対電界効果トランジスタサイズと、前記電流/電圧変換器における、前記差動対電界効果トランジスタのチャネル幅とチャネル長の比で決まる差動対電界効果トランジスタサイズとを制御する差動対サイズ制御手段とを備えたことを特徴としている。

【0024】また前記差動対サイズ制御手段は、前記複数の差動対電界効果トランジスタに流れる電流の通流、非通流を各々切り替える制御回路を有していることを特徴としている。

【0025】また前記電流制御手段は、前記各差動対電界効果トランジスタの電流通路に各々介挿された制御素子と、前記各制御素子に制御電圧を供給する制御バイアス生成回路とを有していることを特徴としている。

【0026】また前記制御回路は、前記制御素子のオン、オフを制御することとを特徴としている。

【0027】

【発明の実施の形態】以下図面を参照しながら本発明の実施形態を説明する。前記利得を示す式（3）によれば、制御電流 I_{ct1} のみならず、V/I変換器D1

(4)

特開2003-46352

5

(入力差動対)及び1/V変換器D2(出力差動対)のサイズ比(M/N)も可変制御すれば、可変電圧の広い可変利得増幅器が実現できることがわかるが、本発明ではそれを、以下の実施形態例のように構成して達成した。

【0028】図1において図3と同一部分に同一符号をもちて示している。定電流源回路10のFETP5、FETP6の各一端は、電流電圧印加端子11に接続される電源線12aに接続され、他他端は共通接続点100a、100bに接続されている。この定電流源回路10は、前記図3と同様に、FETP5、P6の電流が一定となるように制御している。

【0029】61はV/V変換器として動作する入力差動対回路であり、一方のFETから成る差動対FETを複数個、本実施形態例では2個(差動対FETN1、N2と差動対FETN3、N4)並設し、各FETN1、N3のドレインを前記共通接続点100aに、各FETN2、N4のドレインを前記共通接続点100bに各々接続して構成されている。

【0030】62は1/V変換器として動作する出力差動対回路であり、一方のFETから成る差動対FETを複数個、本実施形態例では2個(ダイオード接続の差動対FETN5、N6とダイオード接続の差動対FETN7、N8)並設し、各FETN5、N7のドレインを前記共通接続点100aに、各FETN6、N8のドレインを前記共通接続点100bに各々接続して構成されている。

【0031】前記差動対FETN1、N2のソース共通接続点、差動対FETN3、N4のソース共通接続点、差動対FETN5、N6のソース共通接続点、差動対FETN7、N8のソース共通接続点は、電流源FETN9、N10、N11、N12のドレイン、ソースを各々介して接地線12aに接続されている。

【0032】前記FETN1、N3とFETN2、N4の各ゲートには互いに相反の偏置入力電圧Vinが印加される。共通接続点100a、100bには互いに相反の偏置も出力電圧(Vo)が出力される。

【0033】電源線12aには電流源Sの一端が接続。
SN9:SN10:SN11:SN12=(SN1=SN2):(SN3=SN4):(SN5=SN6):(SN7=SN8)・・・(4)

電流源FETN9～N12のうち、接地レベルが選択された(選択スイッチが接点c側に切り替えられた)FETに接続された差動対FET(FETN1～N8)には、電流が流れないため差動対として機能しない。

【0040】電流源FETN9～N12のうち、バイアス電圧Bias1又はBias2のレベルが選択された(選択スイッチが接点b側に切り替えられた)FETに接続された差動対FET(FETN1～N8)には、そのレベルに応じた電流が流され、差動対として機能する。

6

*され、電流源Sの他端は一方のFETP1、P2の各ソースに接続されている。FETP1、P2の各ドレインはダイオード接続のFETN13、N14を介して接地線12aに接続されている。

【0034】前記FETP1のゲートには基準電圧Vrefが、FETP2のゲートには差動電流制御電圧Vctrlが各々供給され、FETP1、P2には、各電圧VrefとVctrlの差に応じた電流I1、I2が流れる。この電流I1、I2はFETN13、N14によって各々バイアス電圧Bias1、Bias2に変換される。

【0035】前記電流源S、FETP1、P2およびFETN13、N14によって前記バイアス生成回路K1(電流制御手段)を構成している。

【0036】前記電流源FETN9、N10、N11、N12の各ゲートには選択スイッチSW1、SW2、SW3、SW4の端子aが各々接続されている。この選択スイッチSW1、SW2の一方の接点bは前記FETN13のバイアス発生点200b(Bias2)に接続され、選択スイッチSW3、SW4の一方の接点bは前記FETN14のバイアス発生点200a(Bias1)に接続されている。選択スイッチSW1、SW2、SW3、SW4の他方の接点cは前記接地線12aに接続されている。

【0037】K2は、差動対サイズ制御端子Sctlに入力された制御信号に基づいて、前記選択スイッチSW1、SW2、SW3、SW4をb又はc接点に切り替えることによって、電流源FETN9、N10、N11、N12の各ゲート端子にBias1又はBias2の信号レベルを与えるか、もしくは接地レベル(GNDレベル)を与えるかを選択する差動対サイズ切り替え制御回路である。

【0038】上記のように構成された回路において、電流源FETN9～N12のサイズ比は、それぞれに接続された差動対の比に等しい。FETN1～N12のサイズをそれぞれSN1～SN12とすると、以下の関係となる。

【0039】
SN9:SN10:SN11:SN12=(SN1=SN2):(SN3=SN4):(SN5=SN6):(SN7=SN8)・・・(4)

*【0041】これによってFETN1～N8で構成される入出力差動対に、電流を流すか、流さないかを選択することによって入力差動対サイズと出力差動対サイズを制御することができる。

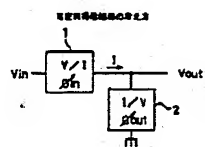
【0042】前記電流源FETN9～N12のうち、選択スイッチSW1～SW4によってバイアス電圧Bias1、Bias2が選択されたFETには、それぞれのバイアス電圧Bias1、Bias2に応じた電流が流れる。

*50 【0043】入力差動対FET(入力差動対回路61)

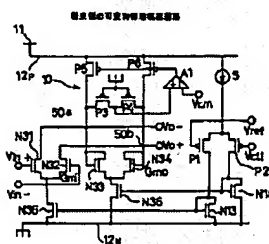
(6)

特開2003-46352

【図2】



【図3】



【図4】

可変利得増幅器の内部回路図

